

503.40029X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#2  
i1033 U.S. PTO  
09/834919  
04/16/01

Applicant(s): Hajime AKIMOTO, et al.  
Serial No.:  
Filed: April 16, 2001  
Title: IMAGE DISPLAY APPARATUS AND DRIVING METHOD  
THEREOF  
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

April 16, 2001

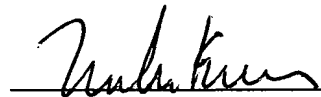
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-274992, filed September 6, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus  
Registration No. 22,466

MK/alb  
Attachment  
(703)312-6600

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1033 U.S. PTO  
09/834919  
04/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 9月 6日

出 願 番 号  
Application Number:

特願2000-274992

出 願 人  
Applicant(s):

株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年11月17日

特許庁長官  
Commissioner,  
Patent Office

及川耕造

出証番号 出証特2000-3095504

【書類名】 特許願

【整理番号】 1100010191

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/35  
G02F 1/136  
G09G 3/36

【発明の名称】 画像表示装置およびその駆動方法

【請求項の数】 38

【発明者】

    【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
株式会社 日立製作所 日立研究所内

    【氏名】 秋元 肇

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地  
株式会社 日立製作所 ディ스플레이グループ内

    【氏名】 宮沢 敏夫

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社 日立製作所

【代理人】

    【識別番号】 100075096

    【弁理士】

    【氏名又は名称】 作田 康夫

    【電話番号】 03-3212-1111

【手数料の表示】

    【予納台帳番号】 013088

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 画像表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、表示データを記憶するための複数の記憶素子と、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、該画像信号発生手段と前記画素スイッチ群とを接続する信号線群と、該信号線群と該画素スイッチ群を介して、所定の表示画素に上記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は、個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量及び該メモリ容量がゲートに接続された増幅用電界効果トランジスタ（FET=Field-Effect Transistor）を有し、前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段を有することを特徴とする画像表示装置。

【請求項 2】

前記複数の表示画素は、対向電極と、該画素電極と該対向電極との間の液晶領域を有する液晶表示画素であることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 3】

前記複数の表示画素は、更に光学反射板を有することを特徴とする特許請求の範囲第 2 項記載の画像表示装置。

【請求項 4】

前記複数の表示画素、信号線群、画像信号発生手段は、単一の透明基板上に形成されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 5】

前記画素スイッチは、薄膜トランジスタ（TFT=Thin-Film Transistor）であることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 6】

前記画素スイッチは、多結晶 S i 薄膜トランジスタ (poly-S i T F T) であることを特徴とする特許請求の範囲第 5 項記載の画像表示装置。

【請求項 7】

前記メモリスイッチは、多結晶 S i 薄膜トランジスタ (poly-S i T F T) であることを特徴とする特許請求の範囲第 6 項記載の画像表示装置。

【請求項 8】

前記増幅用 F E T は、多結晶 S i 薄膜トランジスタ (poly-S i T F T) であることを特徴とする特許請求の範囲第 6 項記載の画像表示装置。

【請求項 9】

前記メモリ容量は、前記増幅用 F E T のゲート・チャネル間容量であることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 0】

前記メモリ容量は、多結晶 S i 薄膜トランジスタ (poly-S i T F T) のゲート・チャネル間容量であることを特徴とする特許請求の範囲第 6 項記載の画像表示装置。

【請求項 1 1】

前記メモリ容量の他端は、所定の電圧を印加された配線に接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 2】

前記メモリ容量の他端は、所定の電圧を印加された I T O (Indium Tin Oxide) 薄膜に接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 3】

前記メモリ容量の他端は、前記増幅用 F E T のソースに接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 4】

前記メモリ容量の他端は、前記増幅用 F E T のドレインに接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 5】

前記増幅用 F E T のドレインは、電圧印加手段に接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 6】

前記増幅用 F E T のソースは、電圧印加手段に接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 7】

前記記憶素子は複数の基本単位間がデータ線で接続されており、前記増幅用 F E T は選択スイッチを介して前記データ線に接続されていることを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 1 8】

前記選択スイッチは、多結晶 S i 薄膜トランジスタ (poly-S i T F T) であることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 1 9】

前記選択スイッチは、ゲートとドレインを短絡してダイオード接続させた多結晶 S i 薄膜トランジスタ (poly-S i T F T) であることを特徴とする特許請求の範囲第 1 8 項記載の画像表示装置。

【請求項 2 0】

前記選択スイッチは、多結晶 S i 薄膜を用いた p n 接合ダイオードであることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 2 1】

前記記憶素子の基本単位は、y 方向に延びるデータ線群に沿ってマトリクス状に配列されており、同一の基本単位における前記メモリスイッチと前記選択スイッチとが同一のデータ線に接続されていることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 2 2】

前記記憶素子の基本単位は、y 方向に延びるデータ線群に沿ってマトリクス状に配列されており、同一の基本単位における前記メモリスイッチと前記選択スイッチとがそれぞれ異なるデータ線に接続されていることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 2 3】

前記記憶素子の基本単位は、y 方向に延びるデータ線群に沿ってマトリクス状に配列されており、更に n bit からなる単位表示データが前記記憶素子の基本単位 n 個で記憶されとした場合に、前記データ線が n 本を単位として配置されていることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 2 4】

前記透明基板における表示画素、信号線群、画像信号発生手段が設けられていない方の面には、表示画素に対する照明手段が設けられており、前記記憶素子の裏面部分に相当する前記透明基板と前記照明手段との間には、遮光手段が設けられていることを特徴とする特許請求の範囲第 4 項記載の画像表示装置。

【請求項 2 5】

前記データ線には、CMOS (Complementary Metal-Oxide-Semiconductor) インバータのゲートが接続されていることを特徴とする特許請求の範囲第 1 7 項記載の画像表示装置。

【請求項 2 6】

前記画像信号発生手段は、前記記憶素子に記憶された表示データから画像信号を生成するための DA 変換手段を有することを特徴とする特許請求の範囲第 1 項記載の画像表示装置。

【請求項 2 7】

前記画像信号発生手段は、前記記憶素子に記憶された表示データから画像信号を生成するための DA 変換手段を有し、該 DA 変換手段は同一の表示データに対して実質的に 2 種類の画像信号電圧を選択的に出力する機能を有することを特徴とする特許請求の範囲第 2 項記載の画像表示装置。

【請求項 2 8】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

デジタル表示データに基づいて所定のアナログ画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、



該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有し、

少なくとも該複数の表示画素、該信号線群および該画像信号発生手段が、単一の透明基板上に形成されている画像表示装置において、

該画像信号発生手段は、ボロンをドーピングした多結晶Si (poly-Si) 薄膜抵抗を用いた基準電圧発生回路を有していることを特徴とする画像表示装置。

【請求項29】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを有し、

前記記憶素子からの表示データの読み出し動作が、該リフレッシュ動作手段を用いた前記記憶素子に対するリフレッシュ動作に含まれていることを特徴とする画像表示装置の駆動方法。

【請求項30】

前記記憶素子からの表示データの読み出し動作が、該リフレッシュ動作手段を用いた前記記憶素子に対するリフレッシュ動作と実質的に等しいことを特徴とする画像表示装置の駆動方法。

【請求項31】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを有し、

前記記憶素子に対する表示データの書込みはアドレスデータに基づいて行われ、一方該リフレッシュ動作手段を用いた前記記憶素子に対するリフレッシュは順次走査で行われることを特徴とする画像表示装置の駆動方法。

### 【請求項 3 2】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを有し、

前記記憶素子は複数個が共通のデータ線に接続されており、

前記リフレッシュ動作手段を用いた前記記憶素子に対するリフレッシュは、始めに表示データを該データ線に電圧として出力し、更に該データ線に書込まれた前記表示データ電圧レベルを増幅し、そして増幅された前記表示データ電圧を該データ線から再書込みすることで行うことを特徴とする画像表示装置の駆動方法。

### 【請求項 3 3】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを有し、

前記記憶素子は複数個が共通のデータ線に接続されており、

前記リフレッシュ動作手段を用いた前記記憶素子に対するリフレッシュは、始めに表示データを該データ線に電圧として出力し、前記表示データ電圧をそのまま該データ線から再書き込みすることで行うことを特徴とする画像表示装置の駆動方法。

#### 【請求項 3 4】

前記記憶素子に対する表示データの書き込みは、前記記憶素子から該データ線に出力された表示データの一部を書換えた後、前記表示データを該データ線から再書き込みすることで行うことを特徴とする、特許請求の範囲第 3 2 項或いは第 3 3 項記載の画像表示装置の駆動方法。

#### 【請求項 3 5】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを有し、

前記表示画素選択手段を駆動する駆動パルスと、前記リフレッシュ動作手段を駆動する駆動パルスは、単一の入力から分岐した同一の駆動パルスを用いていることを特徴とする画像表示装置の駆動方法。

【請求項 3 6】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量及び該メモリ容量がゲートに接続された増幅用電界効果トランジスタ（F E T = Field-Effect Transistor）と、更に前記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段を有し、

前記記憶素子からの表示データ読み出し時には、前記増幅用 F E T のドレインに読み出し用パルスを印加することを特徴とする画像表示装置の駆動方法。

【請求項 3 7】

画素電極と、該画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、

表示データを記憶するための複数の記憶素子を有し、前記表示データに基づいて所定の画像信号を出力する画像信号発生手段と、

該画像信号発生手段と該画素スイッチ群とを接続する信号線群と、

該信号線群と該画素スイッチ群を介して、所定の表示画素に前記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、

前記記憶素子は個々の基本単位毎に、メモリスイッチと該メモリスイッチに接続されたメモリ容量及び該メモリ容量がゲートに接続された増幅用電界効果トランジスタ（F E T = Field-Effect Transistor）と、前記メモリ容量に貯えられ

た信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段を有し、

前記記憶素子からの表示データ読み出し時には、前記増幅用 F E T のソースに読み出し用パルスを印加することを特徴とする画像表示装置の駆動方法。

【請求項 3 8】

前記メモリスイッチの駆動電圧振幅は、前記増幅用 F E T のドレイン或いはソースに印加される読み出し用パルス電圧振幅よりも大きいことを特徴とする特許請求の範囲第 3 5 項或いは第 3 7 項記載の画像表示装置の駆動方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は特に低消費電力で画像表示が可能な、液晶画像表示装置に関する。

【 0 0 0 2】

【従来の技術】

以下、図 1 9 を用いて従来の技術に関して説明する。

【 0 0 0 3】

図 1 9 は従来の技術を用いた、T F T 液晶パネルの構成図である。液晶容量 1 0 1 と画素スイッチ 1 0 2 を有する画素 1 0 0 がマトリクス状に配置され、画素スイッチ 1 0 2 のゲートはゲート線 1 0 3 を介してゲート線シフトレジスタ 1 0 4 に接続されている。また画素スイッチ 1 0 2 のドレインは信号線 1 0 5 を介して D A 変換器 1 0 6 に接続されている。一方マトリクス状に配置されたフレームメモリのメモリセルはメモリ容量 1 1 1 とメモリスイッチ 1 1 2 とから構成されており、メモリスイッチ 1 1 2 のゲートはワード線 1 1 3 とその一端に設けられたワード線選択スイッチ 1 1 5 を介してワード線シフトレジスタ 1 1 4 に接続されている。一方各メモリスイッチの一端はデータ線 1 1 6 に接続されており、データ線 1 1 6 の一端にはデータ入力回路 1 1 7 が、他端にはセンスアンプ 1 0 8 とラッチ回路 1 0 7 が設けられている。ラッチ回路 1 0 7 の出力は前記 D A 変換器 1 0 6 に接続されている。以上の各構成要素は、同一基板上に poly-S i T F T を用いて構成されている。

## 【 0 0 0 4 】

以下、本従来例の動作を説明する。書込み時には一般の D R A M (Dynamic Random Access Memory) と同様に、ワード線シフトレジスタ 1 1 4, ワード線選択スイッチ 1 1 5 によって選択された行のメモリセルには、データ入力回路 117 から画像データが書込まれる。また同様にワード線シフトレジスタ 1 1 4, ワード線選択スイッチ 1 1 5 によって選択された行のメモリセルの画像データはデータ線 1 1 6 を介してセンスアンプ 1 0 8 に入力され、ラッチ回路 1 0 7 でラッチされる。ラッチされた画像データは D A 変換器 1 0 6 でアナログ信号に変換され、このアナログ信号は信号線 1 0 5 に出力される。このときワード線シフトレジスタ 1 1 4 に同期してゲート線シフトレジスタ 1 0 4 が走査され、ゲート線シフトレジスタ 1 0 4 はゲート線 1 0 3 を介して、所定の行の画素スイッチ 1 0 2 をオンに設定する。これによって前記アナログ信号は所定の画素 1 0 0 の液晶容量 1 0 1 に書込まれ、読み出された画像データに基づく液晶を用いた画像表示が可能となる。

## 【 0 0 0 5 】

なお本従来技術に関しては、例えば特開平 1 1 - 8 5 0 6 5 号公報に詳しく記載されている。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

上記従来技術によれば、フレームメモリのワード線 1 1 3 と画素部のゲート線 1 0 3 とを同一の駆動周波数で駆動することにより、フレームメモリのワード線クロックが表示画像中に漏れ込むことに起因する干渉雑音を回避することができる。

## 【 0 0 0 7 】

しかしながら上記従来技術は、画像表示装置の低電力化に関しては十分な考慮がなされていなかった。これに関して以下に説明する。

## 【 0 0 0 8 】

面積や素子数低減による歩留まり向上の観点からみれば、フレームメモリは S R A M (Static Random Access Memory) ではなく、上記のように D R A M で構

成すべきである。しかし現在は既に常識となっている（1トランジスタ+1容量）から成る一般のDRAMセル構成を用いた場合には、センスアンプ108は数十mV以下の極めて小さい信号電圧を増幅する必要があるために貫通電流が大きい回路を採用せざるを得ない。このことは、装置の低電力化という観点からは大きな問題となってしまう。

## 【0009】

またDRAMセルの駆動という観点から見ても、上記従来例のように書込み、リフレッシュ、読み出しを個別に考えずに、これらを有機的に組み合わせる、或いは駆動方法を工夫することによっても、更なる低消費電力化が可能な筈である。

## 【0010】

## 【課題を解決するための手段】

本発明の一実施態様によれば、

画素電極と画素電極に直列に接続された画素スイッチとを有し画像表示を行うためにマトリクス状に配置された複数の表示画素と、表示データを記憶するための複数の記憶素子を有し、表示データに基づいて所定の画像信号を出力する画像信号発生手段と、画像信号発生手段と画素スイッチ群とを接続する信号線群と、信号線群と画素スイッチ群を介して所定の表示画素に上記画像信号を書込むための表示画素選択手段とを有する画像表示装置において、記憶素子は個々の基本単位毎にメモリスイッチとメモリスイッチに接続されたメモリ容量及びメモリ容量がゲートに接続された増幅用FETを設け、更に上記メモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段を設けるというものである。

## 【0011】

4kbit-DRAM製品以降、DRAMの世界では可能な限りメモリセルの寸法を小さくするために（1トランジスタ+1容量）セルの採用が常識になっている。これに対して上記のメモリセル構成は、省電力と小面積を両立させる必要のある画像表示装置で特に有効となる考え方である。

## 【0012】

本発明の一実施態様によれば、

画素電極と画素電極に直列に接続された画素スイッチとを有し画像表示を行うためにマトリクス状に配置された複数の表示画素と、表示データを記憶するための複数の記憶素子を有し、表示データに基づいて所定の画像信号を出力する画像信号発生手段と、画像信号発生手段と画素スイッチ群とを接続する信号線群と、信号線群と画素スイッチ群を介して所定の表示画素に画像信号を書込むための表示画素選択手段とを有する画像表示装置において、記憶素子は個々の基本単位毎にメモリスイッチとメモリスイッチに接続されたメモリ容量と、更にメモリ容量に貯えられた信号電荷に対する所定のリフレッシュ動作を行うためのリフレッシュ動作手段とを設け、記憶素子からの表示データの読み出し動作が、リフレッシュ動作手段を用いた上記記憶素子に対するリフレッシュ動作に含まれるように駆動するというものである。

【 0 0 1 3 】

【発明の実施の形態】

(実施例 1)

以下図 1 ～図 8 および表 1，表 2 を用いて、本発明における第一の実施例に関して説明する。

【 0 0 1 4 】

始めに本実施例の構成に関して述べる。

【 0 0 1 5 】

図 1 は本実施例である多結晶 Si-TFT 液晶表示パネルの構成図である。

【 0 0 1 6 】

液晶容量 1 と画素スイッチ 2 を有する画素 1 0 がマトリクス状に配置され、画素スイッチ 2 のゲートはゲート線 3 を介してゲート線シフトレジスタ 4 に接続されている。また画素スイッチ 2 のドレインは信号線 5 を介して DA 変換器 6 に接続されている。一方マトリクス状に配置されたフレームメモリのメモリセル 1 1 は、x 軸方向に延びるワード線 1 2 と読み出し線 1 3、y 軸方向に延びるデータ線 2 2 と共通ドレイン線 2 1 に接続されている、ここでワード線 1 2 の一端にはワード線バッファ 1 4，読み出し線 1 3 の一端には読み出し線バッファ 1 5 が設



けられており、両バッファにはメモリアドレスデコーダ18とメモリシフトレジスタ19が入力している。なお、ワード線バッファ14と読み出し線バッファ15はバッファ選択スイッチ16、メモリアドレスデコーダ18とメモリシフトレジスタ19はアドレス選択スイッチ17によってそれぞれが選択的に組み合わせられる。一方データ線22の一端にはデータ線リセット回路23とデータ線入力スイッチ24が設けられており、データ線入力スイッチ24の他端はデータ入力線25に、データ線入力スイッチ24のゲートはメモリアドレスデコーダ26にそれぞれ接続されている。一方、データ線22の他端にはラッチ回路7が設けられており、ラッチ回路7の出力はデータ線22Bを介して前記DA変換器6に入力されている。なおここでゲート線シフトレジスタ4とメモリシフトレジスタ19は、共通する入力端子20からのクロックパルスによって駆動される。

## 【0017】

以上の各構成要素は、単一のガラス基板8上にpoly-Si TFTを用いて構成されており、各スイッチには多結晶Si-TFTを用いて構成されたCMOSスイッチが採用されている。なおここではカラーフィルタやバックライト構成等、TFTパネルの構築に必要な所定の構造の記載は、説明の簡略化のために省略している。

## 【0018】

図2は上記メモリセル11の基本単位の回路構成図である。

## 【0019】

データ線22には、ゲートがワード線12に接続されたメモリスイッチ33が設けられており、メモリスイッチ33の他端はメモリ容量31及びメモリアンプ32のゲートに接続されている。メモリアンプ32のソースはメモリ容量31の他端に接続されると同時に、出力スイッチ34にも接続されている。出力スイッチ34はダイオード接続されたnチャネルのpoly-Si TFTであり、その他端はデータ線22に接続されている。ここでメモリ容量31もnチャネルのpoly-Si TFTであり、そのチャネル側がメモリアンプ32のソース側になっている。なおメモリセル11は、図2に示すような基本単位3個で構成されているが、これはここで扱う画像データが3bitであるからである。

## 【0020】

次にラッチ回路7の構成を、図3、図4および表1を用いて説明する。

## 【0021】

図3はデータ線22の端部に設けられた、ラッチ回路一単位の構成図である。データ線22はCMOSインバータ36に入力しており、CMOSインバータ36の出力は信号パルス $\phi$ 1で駆動されるクロックインバータ37および信号パルス $\phi$ 2で駆動されるクロックインバータ38に接続されている。またクロックインバータ37の出力はデータ線22に帰還し、クロックインバータ38はデータ線22Bに出力している。

## 【0022】

ここで図4は上記のような、信号パルス $\phi$ で駆動されるクロックインバータの回路構成である。クロックインバータはpチャネルpoly-Si TFT42, 43とnチャネルpoly-Si TFT44, 45と相補的な信号パルスで駆動されるため、信号パルスの選択によって、CMOSインバータ或いは出力開放の3種類の状態出力を有している。

## 【0023】

また表1には、図2に示したラッチ回路一単位中のCMOSインバータ36のチャネル幅、Wとチャネル長Lの値を示した。ここでCMOSインバータ36を構成するpチャネルpoly-Si TFTとnチャネルpoly-Si TFTのW/Lの値を著しくアンバランスにすることによって、CMOSインバータ36出力の反転に必要な入力閾値の値を小さな値に設定することができる。具体的にはこのCMOSインバータ36は5V/0Vで駆動されているが、入力閾値は2.5Vではなく1Vに設計されている。

## 【0024】

【表 1】

表 1

	W / L
pMOS	4 / 2 0
nMOS	2 0 / 4

【 0 0 2 5 】

次にDA変換器6の構成を図5を用いて説明する。

【 0 0 2 6 】

図5はDA変換器6の一単位(繰り返し単位)の構成図であり、データ線22Bの6本に対応している。本実施例ではデータ線22Bは3本が一组で3bitの画像データを現しているため、DA変換器一単位の中には2個の画像データに対するDA変換器が設けられていることになる。データ線22Bはそれぞれが反転入力スイッチ46を介して正電圧選択回路47または負電圧選択回路48に選択的に接続されており、更に正電圧選択回路47および負電圧選択回路48の出力は反転出力スイッチ52を介して信号線5に接続されている。ここで正電圧選択回路47および負電圧選択回路48には、階調電圧生成抵抗53で生成されたアナログ階調電圧が階調電源線49を介して入力されており、3bitの画像データに対応したアナログ電圧値を出力する機能を有している。なおここで階調電圧生成抵抗53は、特にボロン(B)をドーピングして低抵抗化したpoly-Si薄膜を用いている。これは本実施例に用いているpチャネルpoly-Si TFTのソースおよびドレイン薄膜と同一の構造である。ゲート配線や一般の金属配線は抵抗値が小さすぎるため、階調電圧生成抵抗53に用いると消費電力や階調電圧生成抵抗53面積の著しい増加をまねいてしまう。またリン(P)は活性化等の熱工程時にpoly-Siの粒界に偏析し易いために、結晶のばらつきによって抵抗値が変動され易く、階調電源電圧値が設計値から外れてしまうことに起因する表示色のずれが生じ易い。しかしながらボロン(B)はこのような偏析をおこさないために

抵抗値が安定しており、またシート抵抗値も数  $k\Omega/\square$  と適当な値である。このために消費電力が小さく、面積が大きくなり、加えて生成される階調電源電圧値が安定していることから、特に階調電圧生成抵抗 53 に用いるには最も適当である。表 2 にボロン (B) をドーピングした poly-Si 薄膜とリン (P) をドーピングした poly-Si 薄膜のシート抵抗ばらつきの実測値を示した。このように両者のばらつきは 4 倍以上にもなるため、階調電圧生成抵抗 53 には特にボロン (B) をドーピングした poly-Si 薄膜を用いることが望ましい。

【0027】

【表 2】

表 2

	シート抵抗： $\sigma$ (%)
B <sup>+</sup> -7°poly-Si膜	3.7
P <sup>+</sup> -7°poly-Si膜	20.5

【0028】

次に画素 10 の構成を図 6 を用いて説明する。

【0029】

図 6 は画素 10 のレイアウト図であり、ここでは説明の簡略化のために各配線と TFT 部分のみを示しており、特に A1 を用いた低抵抗配線を太い線で、コンタクトホールを正方形で示した。信号線 5 はコンタクトホールで画素スイッチ 2 を構成する n チャンネル poly-Si TFT のドレインに接続されており、画素スイッチ 2 のゲートはゲート線 3 と一体形成されている。画素スイッチ 2 のソースは画素電極 56 を介して ITO (図示せず) に接続されている。ここで画素電極 56 は高反射率を有する A1 を用いて構成されており、本多結晶 Si-TFT 液晶表示パネルはバックライトを点灯すれば透過型パネルとして使用されるが、バックライトを点灯させなければ反射型パネルとしての画像表示も可能となっている。特にこの反射型での表示の特徴は低消費電力であり、本発明が目的とする低

消費電力化が極めて重要な課題となっていることは言うまでもない。

#### 【0030】

さてこれと比較して、次に上記メモリセル11の構成に関して述べる。

#### 【0031】

図7はメモリセル11のレイアウト図であるが、簡略化のために基本単位は1個だけを示してある。A1を用いた低抵抗配線を太い線で、コンタクトホールを正方形で示したことは、図6と同様である。ワード線12でゲートを構成されたメモリスイッチ33の一端には、データ線22が接続されている。メモリスイッチ33の他端はA1配線を介してメモリアンプ32のゲートに接続されているが、同時にこれはメモリ容量31をも形成している。メモリアンプ32のソースはダイオード接続されたnチャネルpoly-Si TFTである出力スイッチ34を介して、データ線22に接続されている。またメモリアンプ32のドレインは、メモリセル11の一端で読み出し線13で制御される読み出しスイッチ61を介して、共通ドレイン線21に接続されている。後述するように共通ドレイン線21に過渡的に大きな電流が流れることを避けるために、このように共通ドレイン線21はワード線12と並行にせず、データ線22と並行に配置している。

#### 【0032】

次に本実施例の動作に関して図8を用いて説明する。

#### 【0033】

図8は本発明における各部分の、動作タイミングチャートであり、左から「メモリへの書込み」「メモリからの読み出し」「メモリへの書込み」「休止」を表している。また特に記載のないものに関しては、5V振幅の波形に対応している。

#### 【0034】

始めに「メモリへの書込み」を説明する。R/W選択パルスはアドレス選択スイッチ17をメモリアドレスデコーダ18に切換え、メモリアドレスデコーダ18はバッファ選択スイッチ16を介して読み出し線バッファ15に接続され、選択されたアドレス行の読み出しスイッチ61をオンする。リセットパルスはデータ線リセット回路23をオンにすることにより、データ線22を0Vにリセ

ットする。次いで共通ドレイン線 2 1 が立上がることによって、上記アドレス行のメモリセルのメモリアンプ 3 2 のドレインに高レベル電圧（例えば 5 V）が印加されるが、このときメモリ容量 3 1 に高レベル電圧の書込みがされていれば、メモリアンプ 3 2 はオンし、この高レベル電圧はデータ線 2 2 へと伝播する。ここでメモリ容量は、ブートストラップ容量としても働き、メモリアンプ 3 2 のゲート電位をより高くたたき上げる機能を有する。一方もしもメモリ容量 3 1 に低レベル電圧（例えば 0 V）の書込みがされていれば、メモリアンプ 3 2 はオフのままであり、共通ドレイン線 2 1 の高レベル電圧がデータ線 2 2 へと出力されることはない。なおこの後に共通ドレイン線 2 1 の電圧が低レベル電圧に戻っても、データ線に書込まれた電圧はそのまま保持される。次いで信号ラッチパルス  $\phi 1$  が入力されると、図 3 に示した各データ線 2 2 毎に設けられたラッチ回路が働き、クロックインバータ 3 7 の働きによってデータ線電圧が高レベル電圧あるいは低レベル電圧に決定される。ここでインバータ 3 6 の閾値を下げておいたのは、メモリアンプ 3 2 によるデータ線 2 2 への電圧出力が不十分であった場合に、これを補うためである。さてここで信号ラッチパルス  $\phi 1$  と同様に、バッファ選択スイッチ 1 6 がワード線バッファ 1 4 に切換わり、所定の行のワード線 1 2 が高レベル電圧になる。これによってデータ線 2 2 に書込まれていた画像データは、再度同じメモリ容量 3 1 に書込まれることとなる。この後データ入力パルスが入力すると、メモリ x アドレスデコーダ 2 6 は選択されたアドレスのデータ線入力スイッチをオンさせ、この結果選択された列のデータ線 2 2 のデータはデータ入力線 2 5 を介して入力された新しい書込みデータに書換えられる。上の動作によって、(x, y) アドレスが選択されたメモリセルのデータは新規データに書換えられ、それ以外の同一 y アドレスのメモリセルのデータは変化していないことになる。

#### 【 0 0 3 5 】

始めに「メモリからの読み出し」を説明する。R/W 選択パルスはアドレス選択スイッチ 1 7 をメモリシフトレジスタ 1 9 に切換え、メモリシフトレジスタ 1 9 はバッファ選択スイッチ 1 6 を介して読み出し線バッファ 1 5 に接続され、選択されたアドレス行の読み出しスイッチ 6 1 をオンする。次いでリセットパル

スがデータ線リセット回路 2 3 をオンにすることにより、データ線 2 2 を 0 V にリセットされること、共通ドレイン線 2 1 が立上がることによって、メモリセルのデータがデータ線 2 2 へと出力されること、信号ラッチパルス  $\phi 1$  によってデータ線電圧が高レベル電圧あるいは低レベル電圧に決定されることは、先に述べた「メモリへの書込み」と同様である。ここでバッファ選択スイッチ 1 6 がワード線バッファ 1 4 に切換わり、所定の行のワード線 1 2 が高レベル電圧になると、これによってデータ線 2 2 に書込まれていた画像データは、再度同じメモリ容量 3 1 に書込まれる。これが後述するようにメモリセルに対するリフレッシュ動作に相当する。この出力ラッチパルス  $\phi 2$  が入力すると、画像データはクロックトインバータ 3 8 を介してデータ線 2 2 B に出力される。上の動作によって、メモリシフトレジスタ 1 9 によって選択された行のメモリセルのデータはリフレッシュされると同時にデータ線 2 2 B に出力されることになる。ここでこの「メモリからの読み出し」動作において、ゲート線シフトレジスタ 4 がゲート線 3 を順次選択する動作とメモリシフトレジスタ 1 9 が読み出し線 1 3 とワード線 1 2 を順次選択する動作は全く同一のものである。従ってデータ線 2 2 B に出力された画像データは、この後一水平走査期間かけて D A 変換器 1 0 6 と選択された行の画素スイッチ 2 を介して、液晶容量 1 に書込まれることになる。またメモリシフトレジスタ 1 9 による各メモリセル行の選択は 1 フィールド期間である  $1/60$  秒毎に定期的に行われるため、このメモリセルの「メモリからの読み出し」動作をリフレッシュ動作として用いることが可能となっている。

#### 【 0 0 3 6 】

さて図 5 で構成を説明した D A 変換器 6 の動作に関して、ここで詳細を説明する。反転入力スイッチ 4 6 と反転出力スイッチ 5 2 はフィールド毎に対になって切換わり、同一のメモリセル列、或いは画素列に用いられる回路は正電圧選択回路 4 7 と負電圧選択回路 4 8 とが交互に入換わる。これは液晶容量を交流駆動するために信号線 5 に対する出力電圧の正負を入換える必要があるためであるが、このように電圧選択回路 4 7, 4 8 を交互に用いることによって、D A 変換器の占める面積を小さくすることが可能となっている。

#### 【 0 0 3 7 】

最後に「休止」に関して説明する。メモリセルへの読み出しタイミングではなく、更に何らかの書込みデータも来ない場合には、図 8 に示したように全てのクロック」は停止する。この場合には動作する回路がないため、メモリ周辺における消費電力をこの期間の間実質的に零とすることができる。

#### 【 0 0 3 8 】

なお以上の動作においては、メモリスイッチ 3 3 を介したメモリ容量 3 1 への高レベル電圧書込みと、読み出しスイッチ 6 1 を介したメモリアンプ 3 2 ドレインへの高レベル電圧印加時には、それぞれメモリスイッチ 3 3 と読み出しスイッチ 6 1 の（ゲート電極印加電圧－T F T の閾値電圧， $V_{th}$ ）までしか書込みないし印加ができない。そこで本実施例においては、ワード線 1 2 および読み出し線 1 3 の駆動電圧を他の回路よりも高く設定することで、これを回避した。具体的には他のパルスが 5 V 駆動であるのに対して、ワード線 1 2 および読み出し線 1 3 の駆動電圧は 1 0 V である。このようにより高い駆動電圧を使用しても、ワード線 1 2 および読み出し線 1 3 の容量はそれほど大きくはないため、全体に占める消費電力の増加分は僅かである。

#### 【 0 0 3 9 】

ところで以上のようにメモリセルに D R A M 構造を採用した場合には、メモリスイッチ 3 3 への光照射に起因するメモリ容量 3 1 からのリーク電流が問題となる。特に本発明のようにリフレッシュを画素への書込みと同期させた場合には、必要なメモリ容量 3 1 の値が異常に大きくなってしまふことがある。そこで特にメモリセルアレイの部分には、ガラス基板の 8 の裏面に遮光膜を形成することが望ましい。また他に、バックライトの光がメモリセルアレイに届かないように、裏面の光学系を設計することも同様な効果がある。メモリセルアレイの上部における遮光に関しても、これに準じて考えることができる。

#### 【 0 0 4 0 】

なお本実施例においては、各回路ブロックは多結晶 S i - T F T 素子を用いてガラス基板上に構成している。しかしながらガラス基板に変えて、石英基板、透明プラスチック基板を用いることや、液晶表示方式を反射型に限定することで S i 基板を始めとする不透明基板を用いることも明らかに可能である。



## 【 0 0 4 1 】

また上記諸回路におけるTFTのn型、p型の導電型と電圧関係を逆に構成することや、その他の回路構成を用いることも、本発明の原理を損なわない範囲で可能であることは言うまでもない。

## 【 0 0 4 2 】

以上では説明を簡略化するために画像表示データを3bit、階調電圧線49は異なった階調電圧が印加された8本の並列配線としたが、画像表示データがn-bitであれば、階調電源線は異なった階調電圧が印加された $2^n$ 本の並列配線となることは明らかである。

## 【 0 0 4 3 】

この他、本実施例では諸スイッチ群にCMOSスイッチ、画素TFTはn型TFTスイッチを採用したが、p型TFTを含むいずれのスイッチ構成をこれらに用いても本発明の適用は可能である。また本発明の趣旨を逸脱しない範囲で、多様なレイアウト形状が適用可能であることは言うまでもない。

## (実施例2)

以下、本発明における第二の実施例について、図9を用いて説明する。

## 【 0 0 4 4 】

図9に構成を示した第二の実施例である多結晶Si-TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。第一の実施例と比較した場合の本実施例の差異は、メモリセル62の構成とメモリシフトレジスタ19とゲート線シフトレジスタ4の駆動配線が分離されていることにある。以下これに関して述べる。

## 【 0 0 4 5 】

本実施例におけるメモリセルのレイアウトは、画像データを構成する3bitの単位セルが横一列に配置されていることと、メモリ容量がTFTゲート容量ではなく、純粋な容量として設けられていることが特徴である。本実施例は上記メモリセル配置によって、y方向のメモリ幅を著しく縮小することが可能であり、またメモリセル書込み電圧が低レベル電圧であってもメモリ容量として十分な容量値が得られることから、雑音等に強い安定した動作が可能である。なおここでメ

メモリ容量をさらに増やすために、画素で用いられるITO膜を用いて、接地されたITO膜との間に更にメモリ容量を設けることも可能である。また構造が複雑になる問題点はあるものの、別個に直流電圧を印加した配線を設け、この配線との間に上記とは独立した容量を設けることも可能であることは言うまでもない。

## 【 0 0 4 6 】

なおメモリシフトレジスタ19とゲート線シフトレジスタ4の駆動配線を分離したことによって、必要なタイミングでメモリセルのリフレッシュ動作を行いながら、画素アレイへの書込み動作を、例えばリフレッシュの半分の速度に遅らせることができる。これによって本実施例では更なる低消費電力化が可能である。

## (実施例3)

以下、本発明における第三の実施例について、図10を用いて説明する。

## 【 0 0 4 7 】

第三の実施例である多結晶Si-TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。第一の実施例と比較した場合の本実施例の差異は、メモリセル基本単位の回路構成であり、以下これに関して述べる。

## 【 0 0 4 8 】

図10は第三の実施例におけるメモリセル基本単位の回路構成図であり、第一の実施例における図2に対応している。第一の実施例と比較した場合の本実施例の差異は、出力スイッチ34がダイオード接続されたnチャネルのpoly-Si TFTからpoly-Si薄膜上に形成されたpn接合ダイオード63に変わったことである。このpn接合ダイオード63は、p型不純物領域とn型不純物領域の間に、長さ約 $2\mu\text{m}$ の $n^-$ 不純物領域を設けることで作成されている。本実施例はこのpn接合ダイオード62を用いることによって、メモリセル基本単位の構造をより簡略化することで、メモリ領域の小型化と高歩留まり化を同時に達成することができる。

## (実施例4)

以下、本発明における第四の実施例について、図11を用いて説明する。

## 【 0 0 4 9 】

図 1 1 は第四の実施例である多結晶 Si-TFT 液晶表示パネルの構成図である。

#### 【 0 0 5 0 】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略する。第一の実施例と比較した場合の本実施例の差異は、メモリセル 6 4 の回路構成であり、以下これに関して述べる。

#### 【 0 0 5 1 】

本実施例においては、第一の実施例における共通ドレイン線 2 1 および読み出しスイッチ 6 1 がなくなると同時にメモリアンプ 6 3 が読み出し線 1 3 で直接駆動されていること、および出力スイッチ 6 4 が通常の n チャネル poly-Si TFT で構成されるとともにそのゲートが読み出し線 1 3 に接続されていることである。本実施例によればメモリセルの構成を簡略化することが可能であり、メモリ領域の小型化と高歩留まり化を同時に達成することができる。但し本実施例においては、メモリアンプ 6 3 を介した全データ線 2 2 への読み出し電流は、全て一本の読み出し線 1 3 から供給する必要がある。このために読み出し線バッファ 1 5 出力の低抵抗化と読み出し線 1 3 の低抵抗化が必要である。

#### (実施例 5)

以下、本発明における第五の実施例について、図 1 2 および図 1 3 を用いて説明する。

#### 【 0 0 5 2 】

図 1 2 は第五の実施例である多結晶 Si-TFT 液晶表示パネルの構成図である。

#### 【 0 0 5 3 】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略するが、第一の実施例と比較した場合の本実施例の差異は、データ線リセット回路 6 5 のリセット電圧が 0 V ではなく高レベル電圧であること、メモリアンプ 6 8 の一端が共通ドレイン線 6 6 を介して 0 V に落ちていること、出力スイッチ 6 9 が通常の n チャネル poly-Si TFT で構成されるとともにそのゲートが読み出し線 1 3 に接続されていること、そしてラッチ回路 6 7 の基本構成が

後に図 1 3 を用いて説明するように変更されていることである。

【 0 0 5 4 】

本実施例においては、メモリアンプ 6 8 に印加される電圧関係が入換わったことによって、メモリアンプ 6 8 の出力はドレイン側として駆動される。この結果第一の実施例にあった、読み出し動作時に T F T が（ゲート電極印加電圧 - T F T の閾値電圧、 $V_{th}$ ）までしか動作しないといった問題は解消される。この結果ワード線 1 2 および読み出し線 1 3 の駆動電圧を他の回路よりも高く設定するといった工夫をしなくとも、メモリセル回路は安定に動作する。但し本実施例においては別に、メモリ容量 3 1 への書込み電圧が高レベル電圧の場合のデータ線 2 2 への出力電圧は低レベル電圧であり、メモリ容量 3 1 への書込み電圧が低レベル電圧の場合のデータ線 2 2 への出力電圧は高レベル電圧になってしまう。即ちこのままでは、リフレッシュの度に書込み電圧レベルが反転してしまうのである。そこで本実施例においては、以下に述べるようにラッチ回路 6 7 を変形した。

【 0 0 5 5 】

図 1 3 は本実施例におけるラッチ回路一単位の構成図であり、第一の実施例における図 3 に対応するものである。データ線 2 2 は信号パルス  $\phi 1$  反転で駆動されるクロックトインバータ 7 0 に入力しており、その出力は C M O S インバータ 7 1 に入力している。C M O S インバータ 7 1 の出力は信号パルス  $\phi 1$  で駆動されるクロックトインバータ 7 2, 7 3 および信号パルス  $\phi 2$  で駆動されるクロックトインバータ 7 4 に接続されている。またクロックトインバータ 7 2 の出力は C M O S インバータ 7 1 の入力に、クロックトインバータ 7 3 の出力はデータ線 2 2 にそれぞれ帰還し、クロックトインバータ 7 4 はデータ線 2 2 B に出力している。本実施例では上記の構成を取ることで、ラッチパルス  $\phi 1$  の入力と同時にデータ線 2 2 の電圧レベルが反転するようになっている。このラッチ回路 6 7 の採用により、本実施例はリフレッシュの度に書込み電圧レベルが反転することを回避しつつ、ワード線 1 2 および読み出し線 1 3 の駆動電圧を他の回路と等しい値、例えば 5 V に設定することを可能としている。

（実施例 6）

以下、本発明における第六の実施例について、図14および図15を用いて説明する。

## 【0056】

図14は第六の実施例である多結晶Si-TFT液晶表示パネルの構成図であり、図15はメモリセル75の基本単位の回路構成図である。

## 【0057】

本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略するが、第一の実施例と比較した場合の本実施例の差異は、メモリアンプ77の一端が共通ドレイン線76を介して直流高レベル電圧に落ちていること、出力スイッチ78が通常のnチャネルpoly-Si-TFTで構成されるとともにそのゲートが読み出し線13に接続されていること、更にメモリ容量79を構成するnチャネルpoly-Si-TFTのゲートが共通ドレイン線76に接続されていることである。

## 【0058】

本実施例の動作は、メモリアンプ77のドレイン側を高レベル電圧に固定したために、メモリアンプ77は出力スイッチ78が選択されてオンになると同時に動作するという違いはあるものの、基本的には第一の実施例の動作と同様である。

## 【0059】

本実施例においては、メモリアンプ77の一端に共通ドレイン線76を介して直流電圧を印加しているため、第一の実施例と比較してメモリセル75の構造が簡略化されるという長所がある。またメモリ容量79の構成をゲートが共通ドレイン線76に接続されたnチャネルpoly-Si-TFTとしたため、特にメモリセルへの書込みが低レベル電圧であった場合にはメモリ容量の値が大きくなり、安定動作が図れるという特徴がある。

## (実施例7)

以下、本発明における第七の実施例について、図16および図17を用いて説明する。

## 【0060】

図 1 6 は第七の実施例である多結晶 Si-TFT 液晶表示パネルの構成図である。

#### 【 0 0 6 1 】

本実施例の主な構成および動作は、第五の実施例のそれと同様であるので説明は省略するが、第五の実施例と比較した場合の本実施例の構造上の差異は、出力スイッチ 8 0 の一端が接続されるデータ線 2 2 が、メモリスイッチ 3 3 が接続されているデータ線 2 2 と異なること、そしてラッチ回路 8 1 の基本構成が、後に図 1 7 を用いて説明するように変更されていることである。

#### 【 0 0 6 2 】

本実施例の動作における第五の実施例との差異は、メモリセル 7 9 に画像データを入力するデータ線 2 2 と、メモリセル 7 9 が画像データを出力するデータ線 2 2 が異なることである。そのために用いたラッチ回路 8 1 の構成を、図 1 7 を用いて説明するように工夫している。

#### 【 0 0 6 3 】

図 1 7 は本実施例におけるラッチ回路一単位の構成図であり、第五の実施例における図 1 3 に対応するものである。データ線 2 2 は信号パルス  $\phi 1$  反転で駆動されるクロックインバータ 8 4 に入力しており、その出力は CMOS インバータ 8 6 に入力している。CMOS インバータ 8 6 の出力は信号パルス  $\phi 1$  で駆動されるクロックインバータ 8 3、8 5 および信号パルス  $\phi 2$  で駆動されるクロックインバータ 8 2 に接続されている。またクロックインバータ 8 5 の出力は CMOS インバータ 8 6 の入力に、クロックインバータ 8 3 の出力は対応する別のデータ線 2 2 にそれぞれ帰還しており、クロックインバータ 8 2 はデータ線 2 2 B に出力している。本実施例では上記の構成を取ることで、ラッチパルス  $\phi 1$  の入力と同時にデータ線 2 2 の電圧レベルが反転し、かつ対応する別のデータ線 2 2 へこれを書込むようになっている。このようなラッチ回路 8 1 の採用により、本実施例は他のデータ線 2 2 に読み出された画像データを元のデータ線 2 2 に戻すと同時に、第五の実施例と同様にリフレッシュの度に書き込み電圧レベルが反転することを回避しつつ、ワード線 1 2 および読み出し線 1 3 の駆動電圧を他の回路と等しい値、例えば 5 V に設定することを可能としている。

## (実施例 8)

以下図 18 を用いて、本発明における第八の実施例に関して説明する。

## 【0064】

図 18 は第八の実施例である画像ブラウザ 97 の構成図である。

## 【0065】

無線インターフェース (I/F) 回路 87 には、圧縮された画像データが外部から bluetooth 規格に基づく無線データとして入力し、無線 I/F 回路 87 の出力は中央演算ユニット (CPU) 兼デコーダ 88 を経てフレームメモリ 89 に接続される。更に CPU 兼デコーダ 88 の出力は多結晶 Si 液晶表示パネル 90 に設けられたインターフェース (I/F) 回路 91 を介して行選択回路 93 およびデータ入力回路 92 に接続されており、画像表示領域 94 は行選択回路 93 およびデータ入力回路 92 により駆動される。画像ビューア 97 には更に電源 95 および光源 96 が設けられている。ここで多結晶 Si 液晶表示パネル 90 は、先に延べた第一の実施例と同一の構成および動作を有している。

## 【0066】

以下に本第八の実施例の動作を説明する。無線 I/F 回路 87 は圧縮された画像データを外部から取り込み、このデータを CPU 兼デコーダ 88 に転送する。CPU 兼デコーダ 88 はユーザからの操作を受けて、必要に応じて画像ビューア 97 を駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ 89 に一時的に蓄積され、CPU 兼デコーダ 88 の指示に従って、蓄積されていた画像を表示するための画像データおよびタイミングパルスを用いて、行選択回路 93 およびデータ入力回路 92 を駆動して画像表示領域に画像を表示することに関しては、第一の実施例で述べたとおりであるので、ここでは詳細な説明は省略する。光源 96 は液晶表示に対するバックライトであるが、反射表示モードで液晶表示を行う際には光源 96 は点灯する必要はない。電源 95 には二次電池が含まれており、これらの装置全体を駆動する電源を供給する。

## 【0067】

本第八の実施例によれば、圧縮された画像データを元に、低消費電力で高品位

な画像を表示させることができる。

【 0 0 6 8 】

【発明の効果】

本発明によれば、画像表示装置の低電力化を図ることができる。

【図面の簡単な説明】

【図 1】

第一の実施例である液晶表示パネルの構成図。

【図 2】

第一の実施例におけるメモリセル基本単位の回路構成図。

【図 3】

第一の実施例におけるラッチ回路一単位の構成図。

【図 4】

第一の実施例におけるクロックインバータの回路構成。

【図 5】

第一の実施例における D A 変換器一単位の構成図。

【図 6】

第一の実施例における画素のレイアウト図。

【図 7】

第一の実施例におけるメモリセルのレイアウト図。

【図 8】

第一の実施例における動作タイミングチャート。

【図 9】

第二の実施例である液晶表示パネルの構成図。

【図 1 0】

第三の実施例におけるメモリセル基本単位の回路構成図。

【図 1 1】

第四の実施例である液晶表示パネルの構成図。

【図 1 2】

第五の実施例である液晶表示パネルの構成図。



【図 1 3】

第五の実施例におけるラッチ回路一単位の構成図。

【図 1 4】

第六の実施例である液晶表示パネルの構成図。

【図 1 5】

第六の実施例におけるメモリセル基本単位の回路構成図。

【図 1 6】

第七の実施例である液晶表示パネルの構成図。

【図 1 7】

第七の実施例におけるラッチ回路一単位の構成図。

【図 1 8】

第八の実施例である画像ブラウザの構成図。

【図 1 9】

従来の技術を用いた T F T 液晶パネルの構成図。

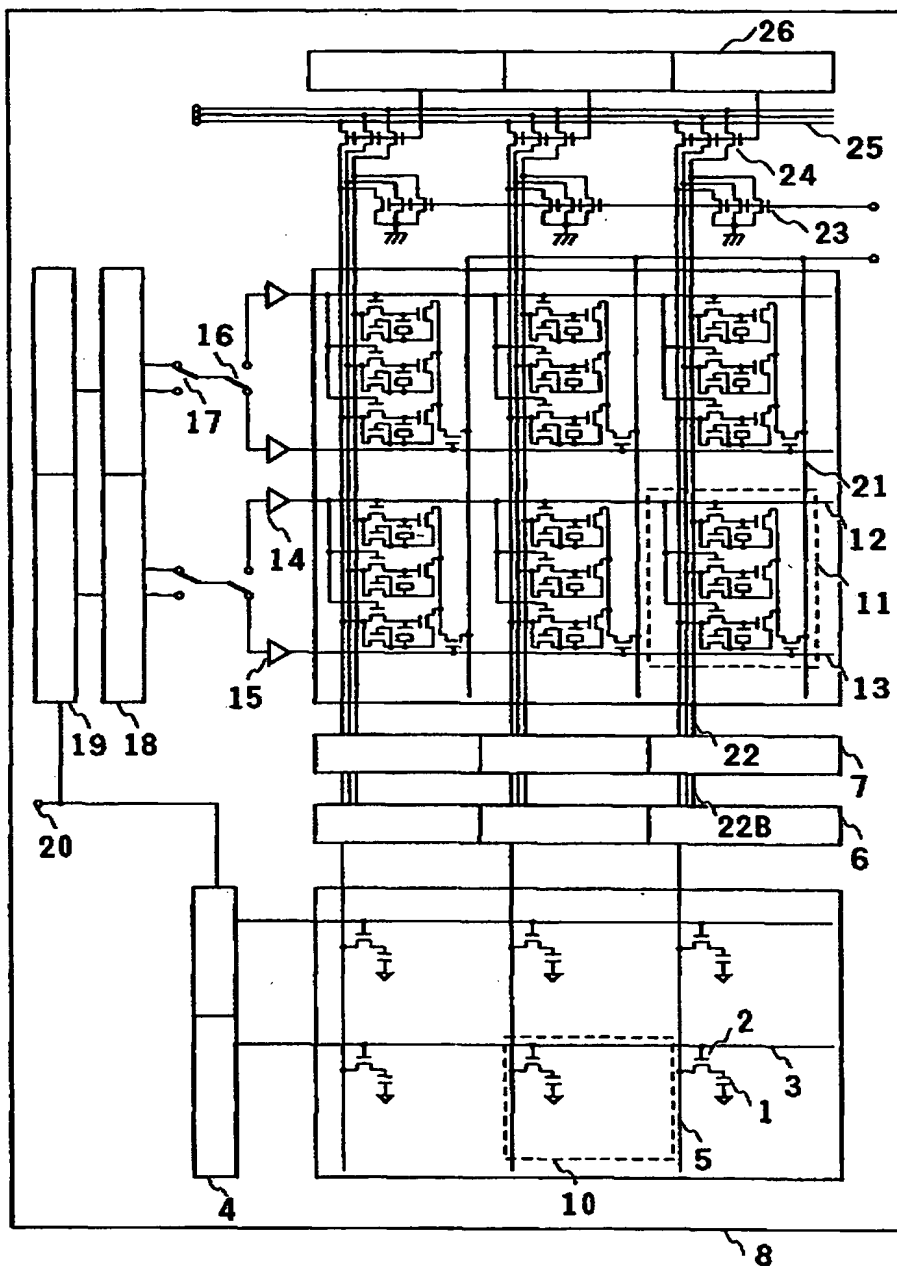
【符号の説明】

1 …液晶容量、2 …画素スイッチ、3 …ゲート線、4 …ゲート線シフトレジスタ、5 …信号線、6 …D A 変換器、7 …ラッチ回路、8 …ガラス基板、1 1 …メモリセル、1 2 …ワード線、1 3 …読み出し線、1 4 …ワード線バッファ、1 5 …読み出し線バッファ、1 8 …メモリアドレスデコーダ、1 9 …メモリシフトレジスタ、2 1 …共通ドレイン線、2 2 …データ線、2 3 …データ線リセット回路、2 4 …データ線入力スイッチ、2 5 …データ入力線、2 6 …メモリ x アドレスデコーダ、3 1 …メモリ容量、3 2 …メモリアンプ、3 3 …メモリスイッチ、3 4 …出力スイッチ。

【書類名】 図面

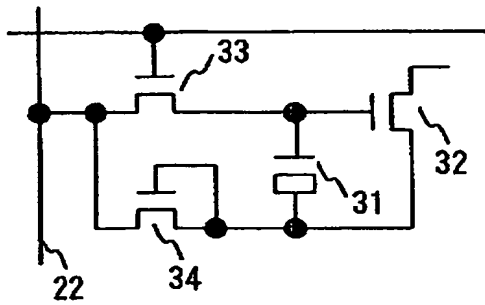
【図 1】

図 1



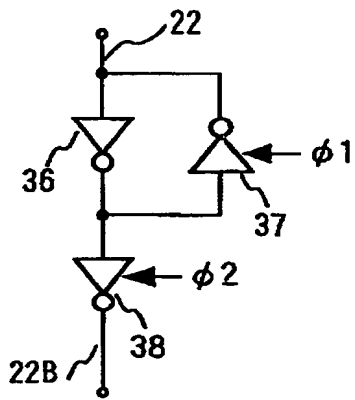
【図 2】

図 2



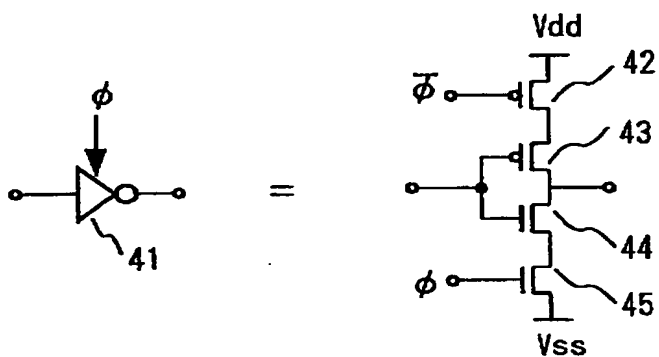
【図 3】

図 3

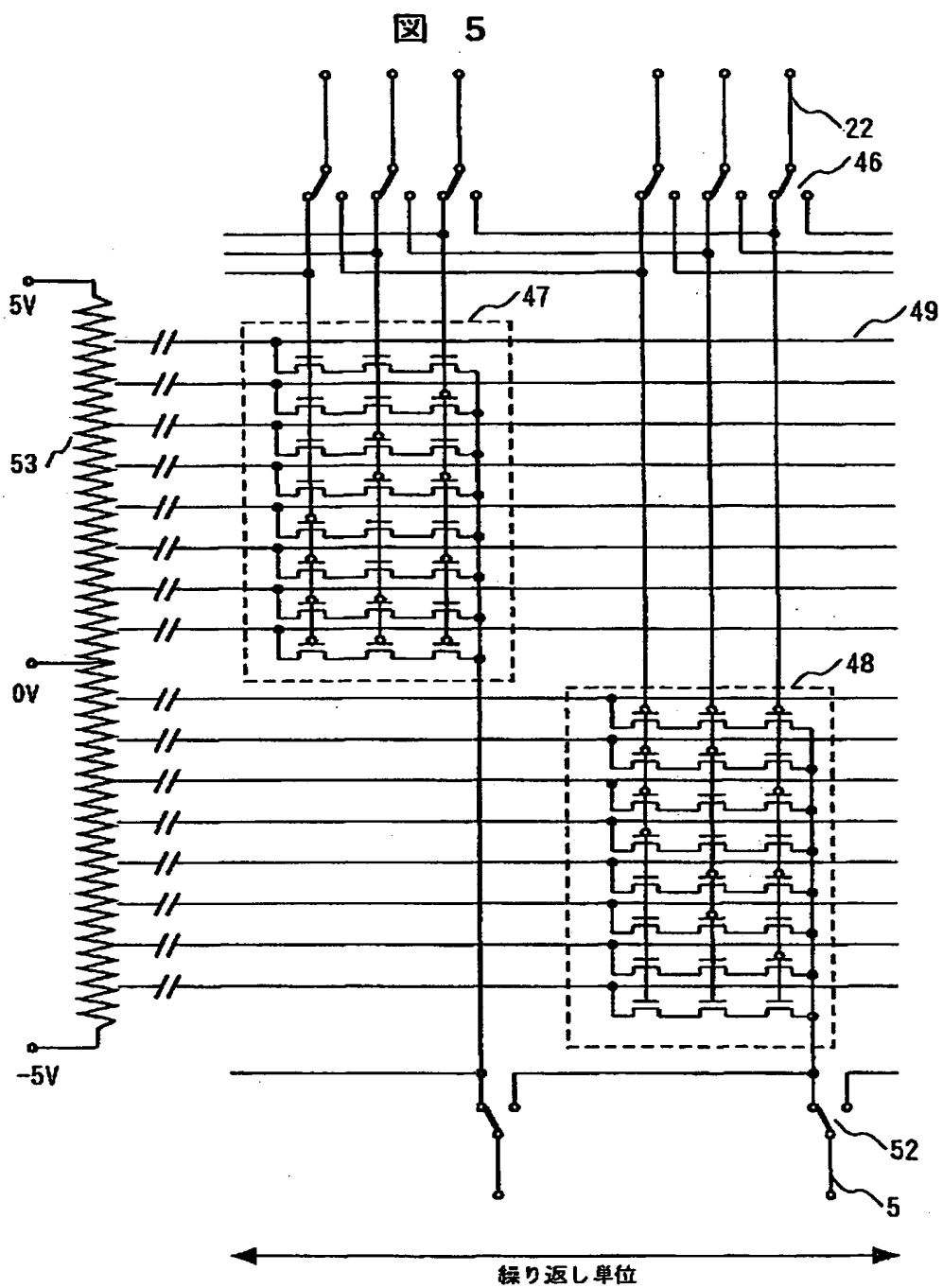


【図 4】

図 4

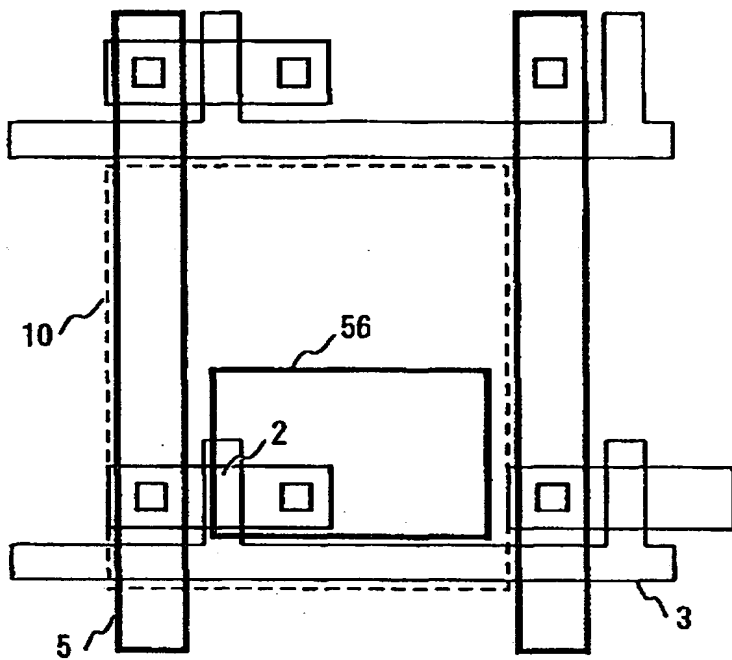


【図5】



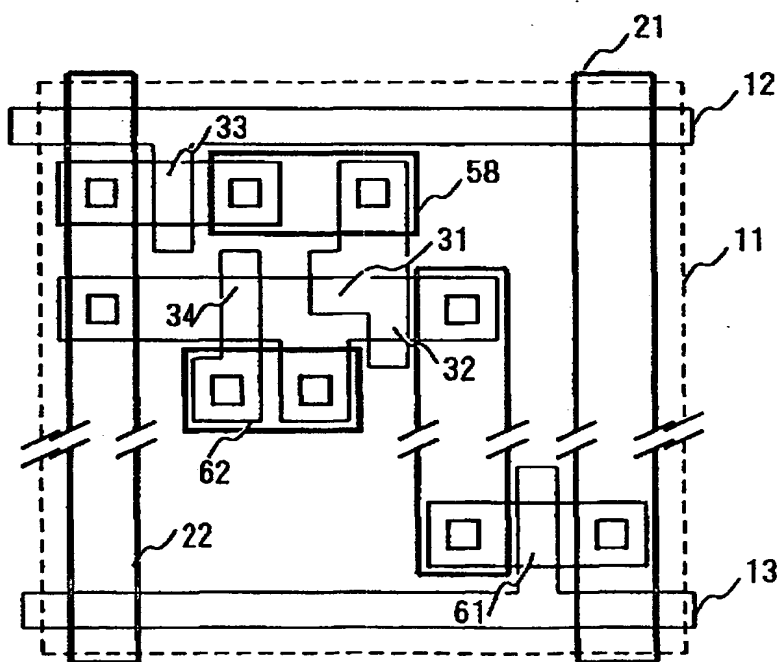
【図 6】

図 6



【図 7】

図 7



【図 8】

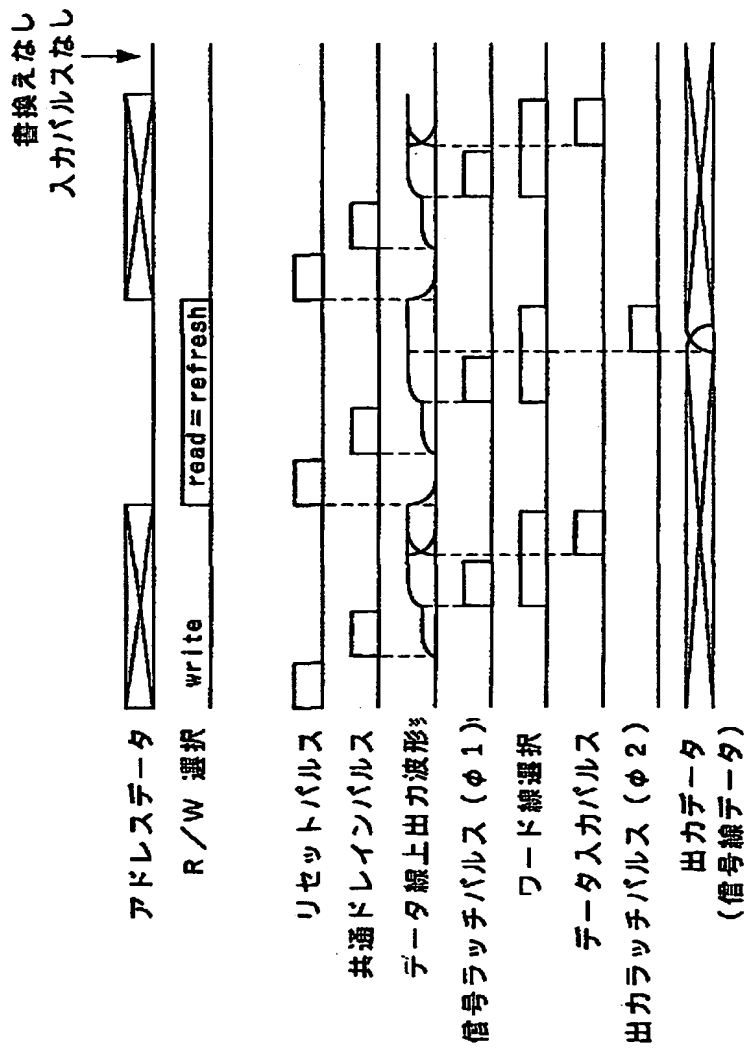
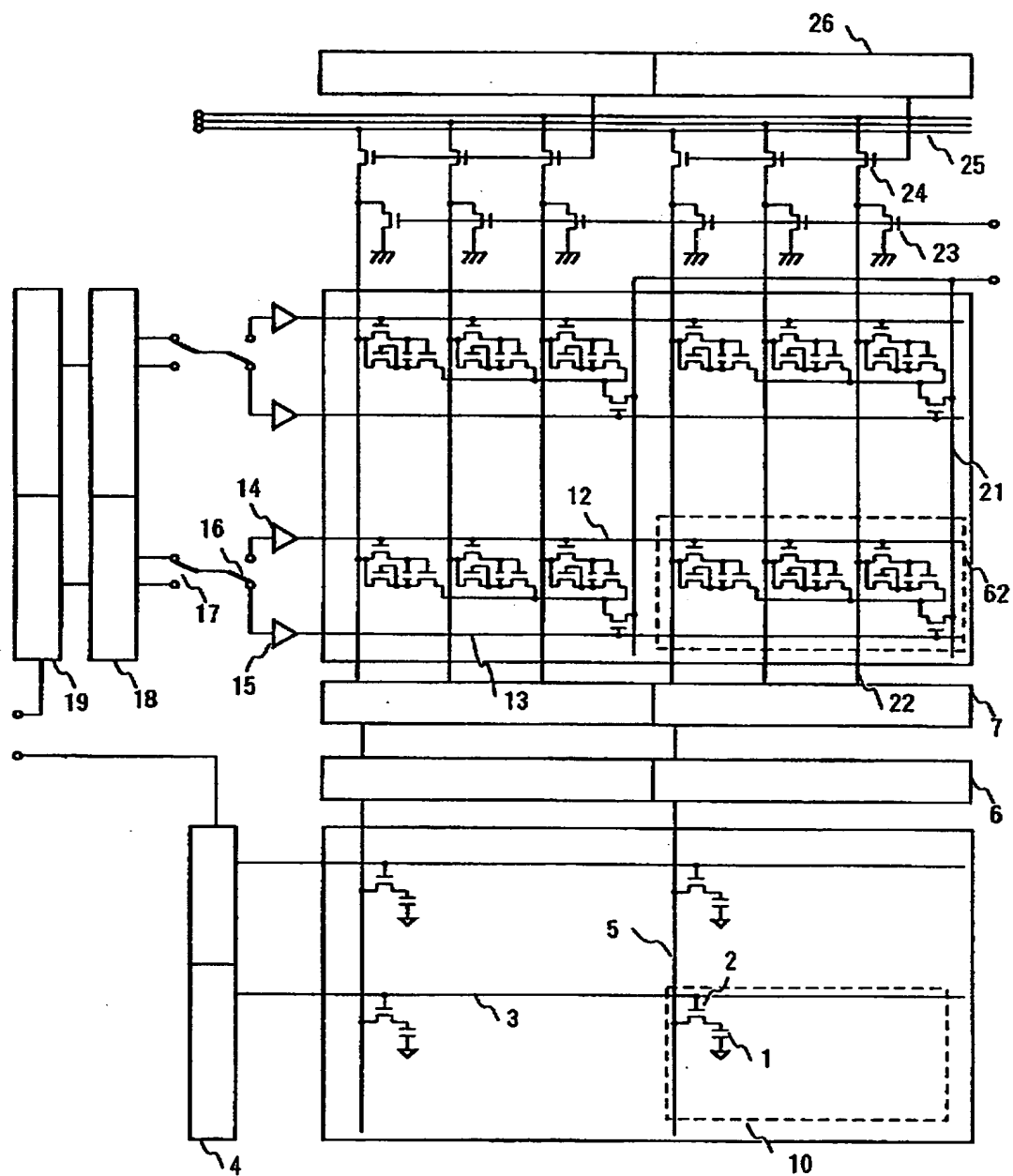


図 8

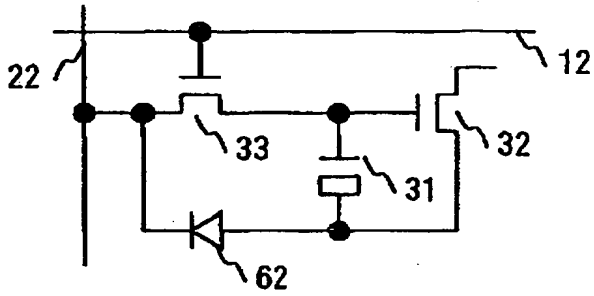
【図9】

図 9



【図 1 0】

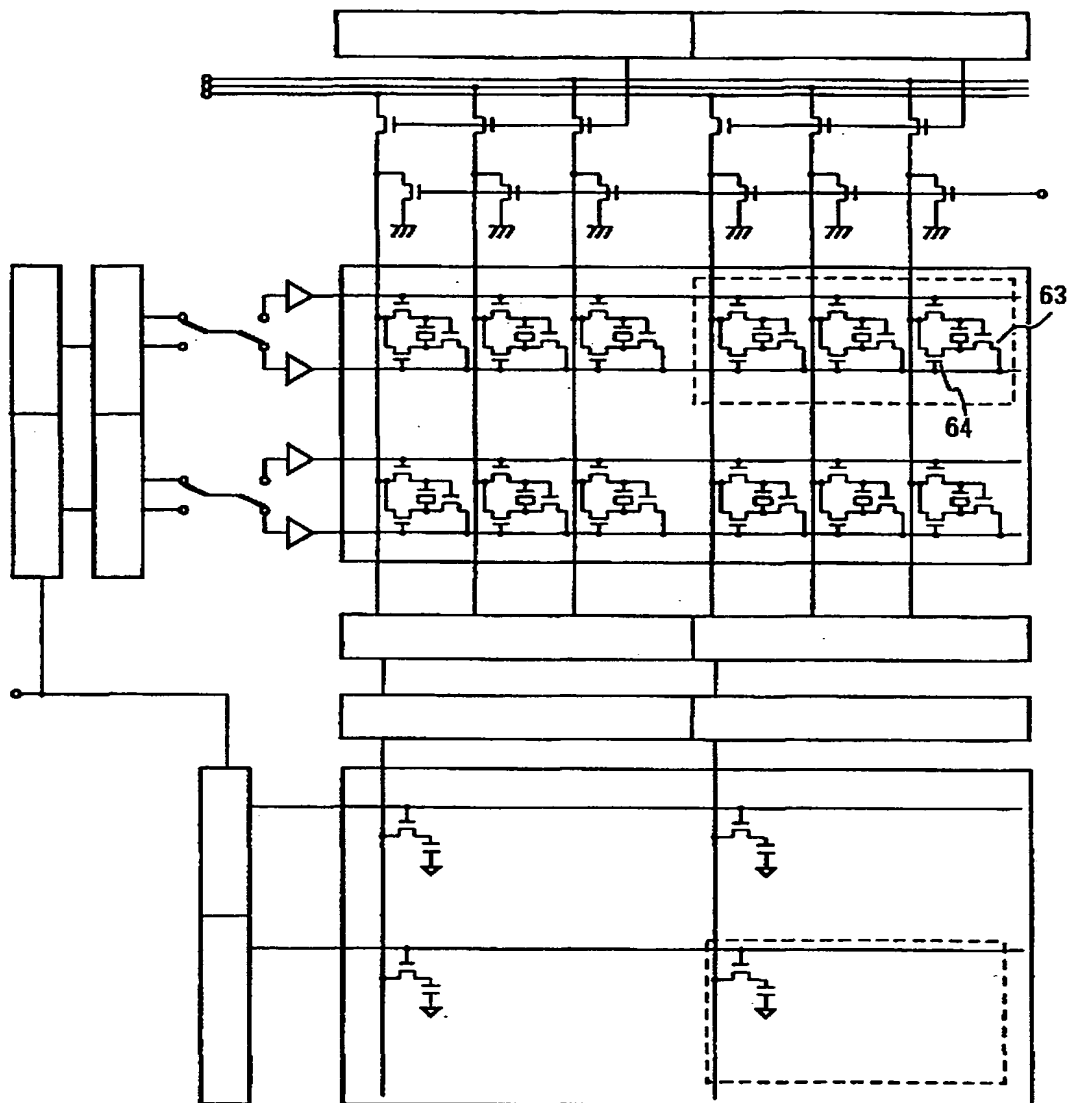
図 10





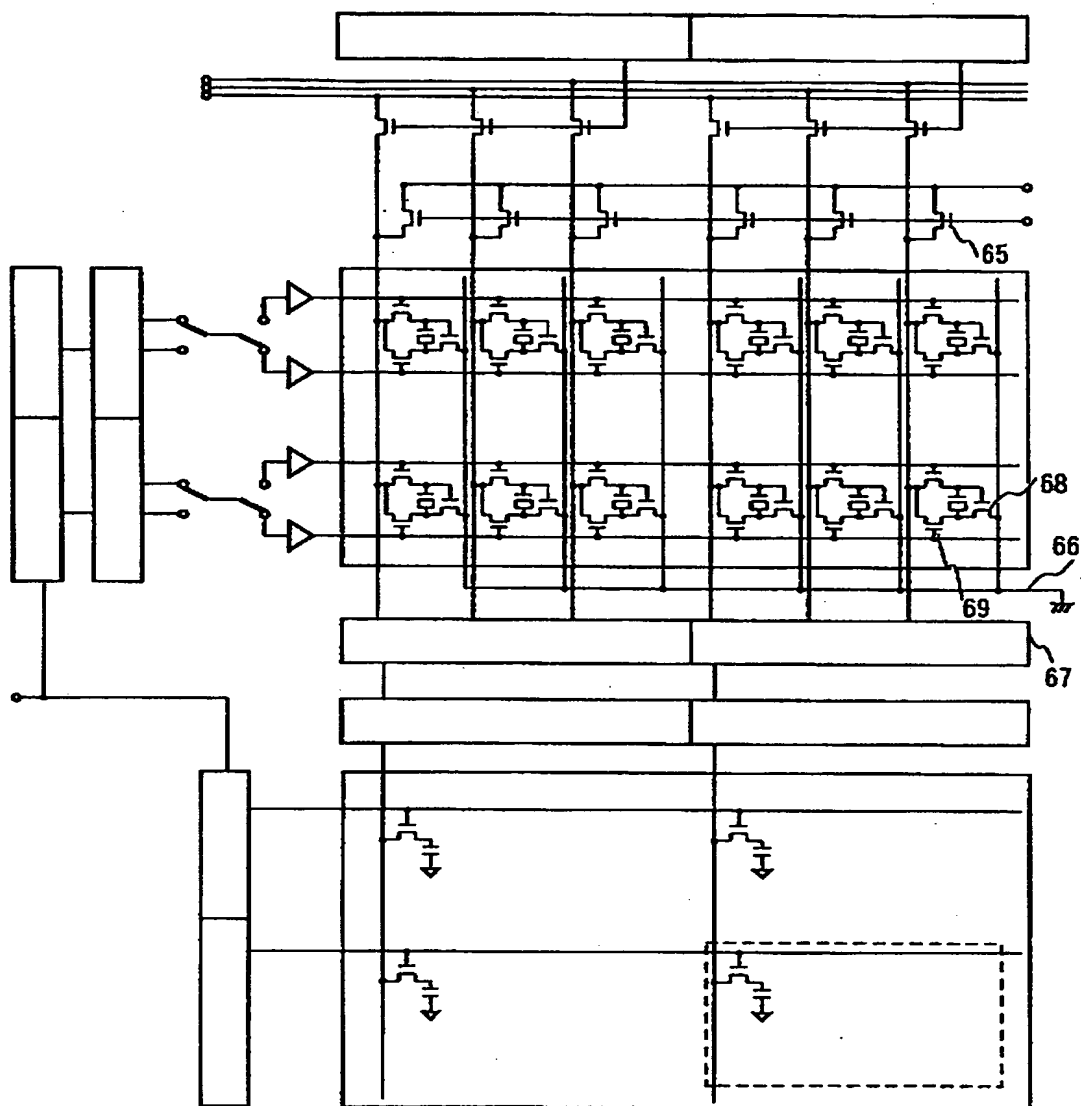
【図 11】

図 11



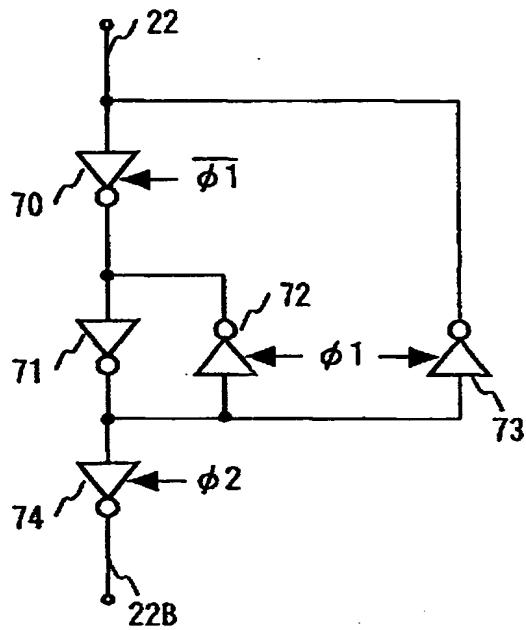
【図12】

図 12



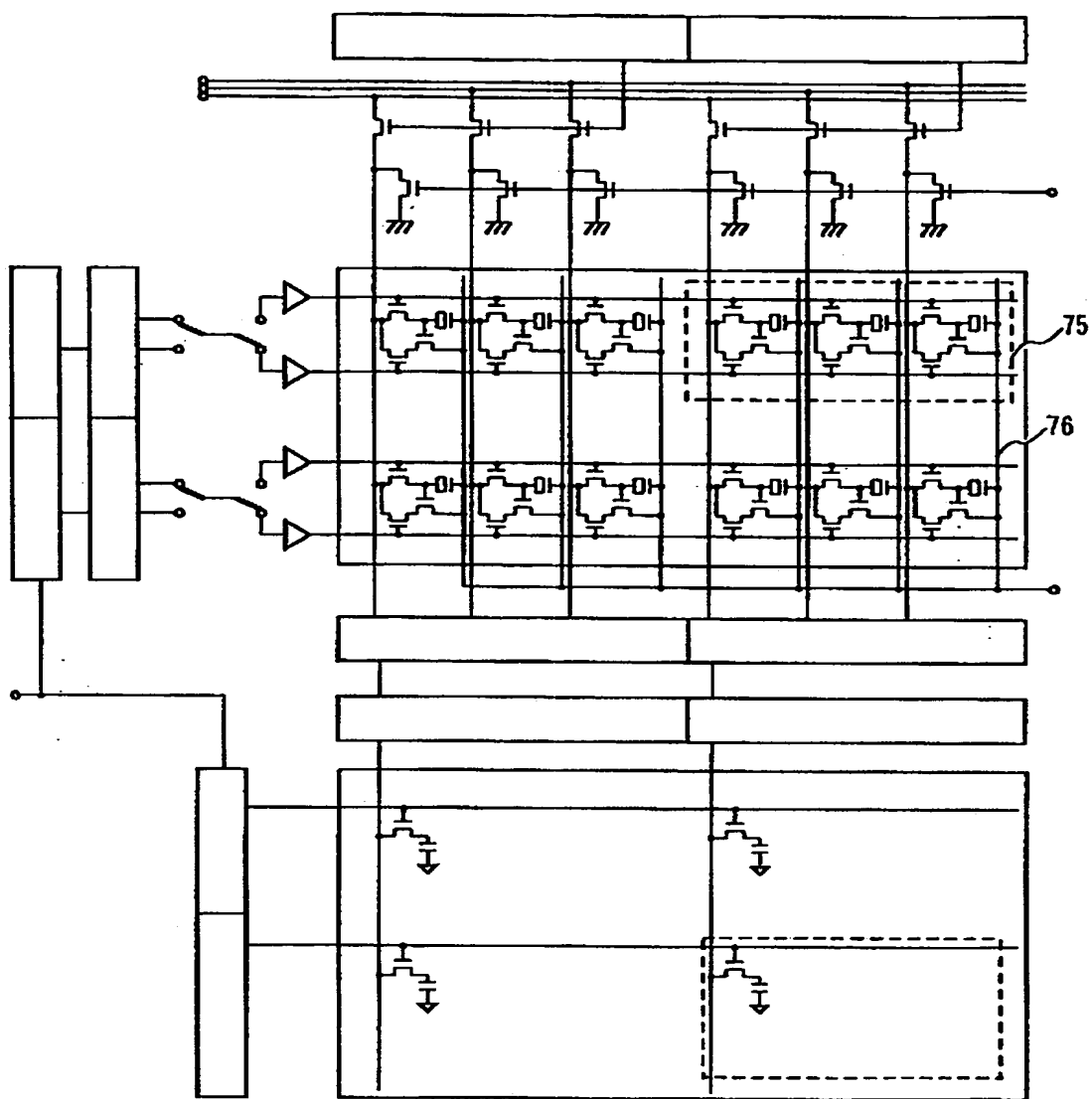
【図 1 3】

図 13



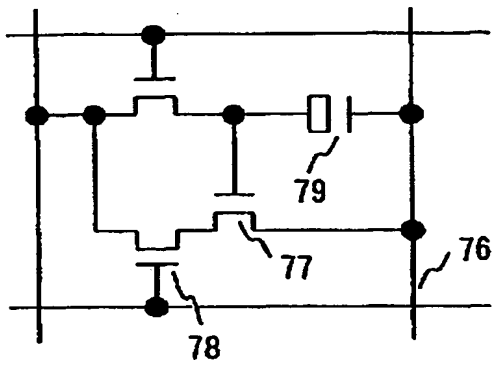
【図14】

図 14



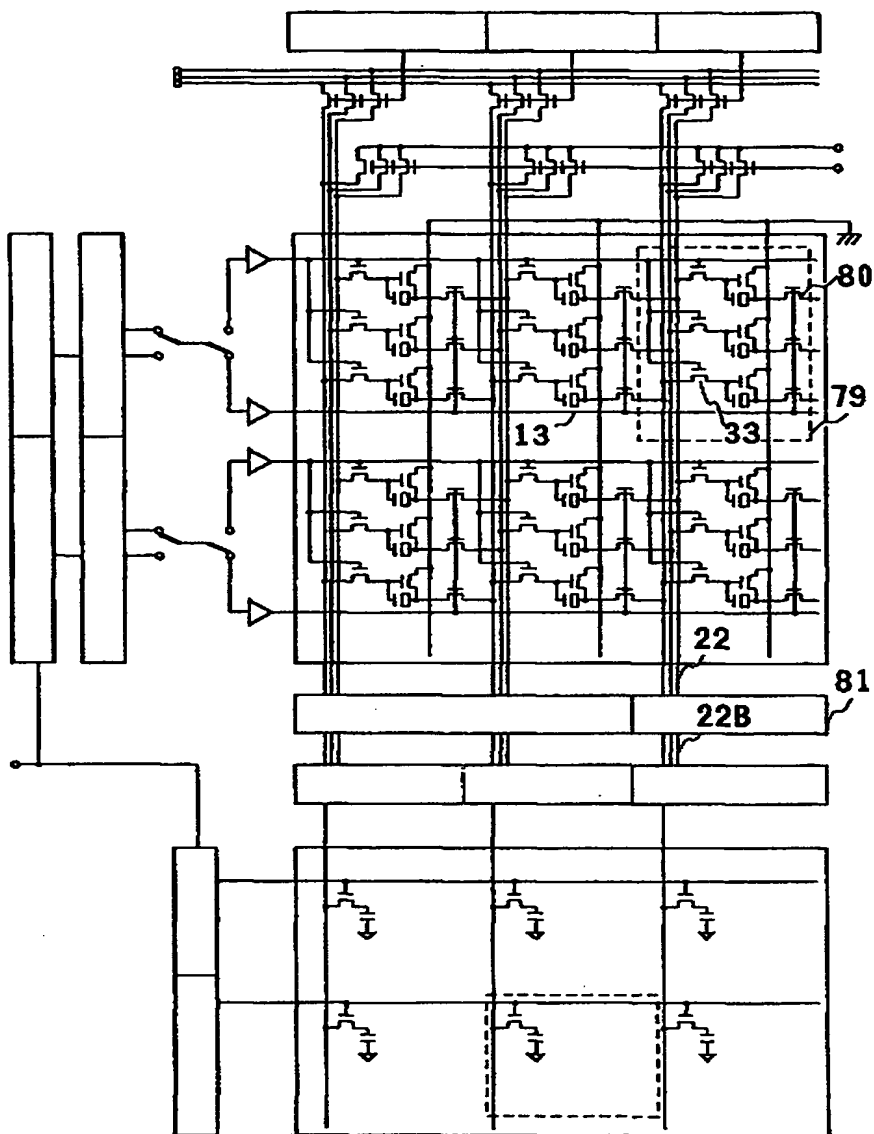
【図 1 5】

図 15



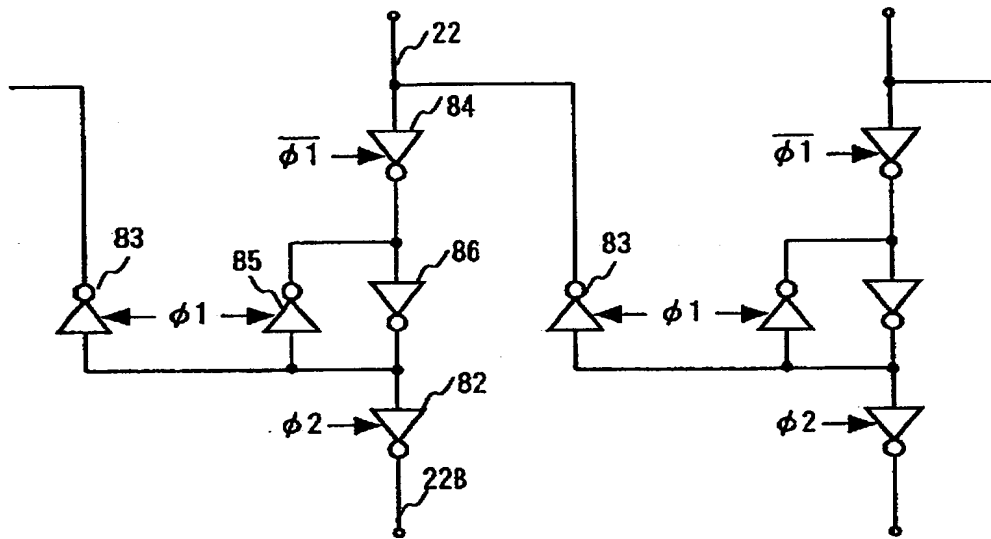
【図16】

図 16



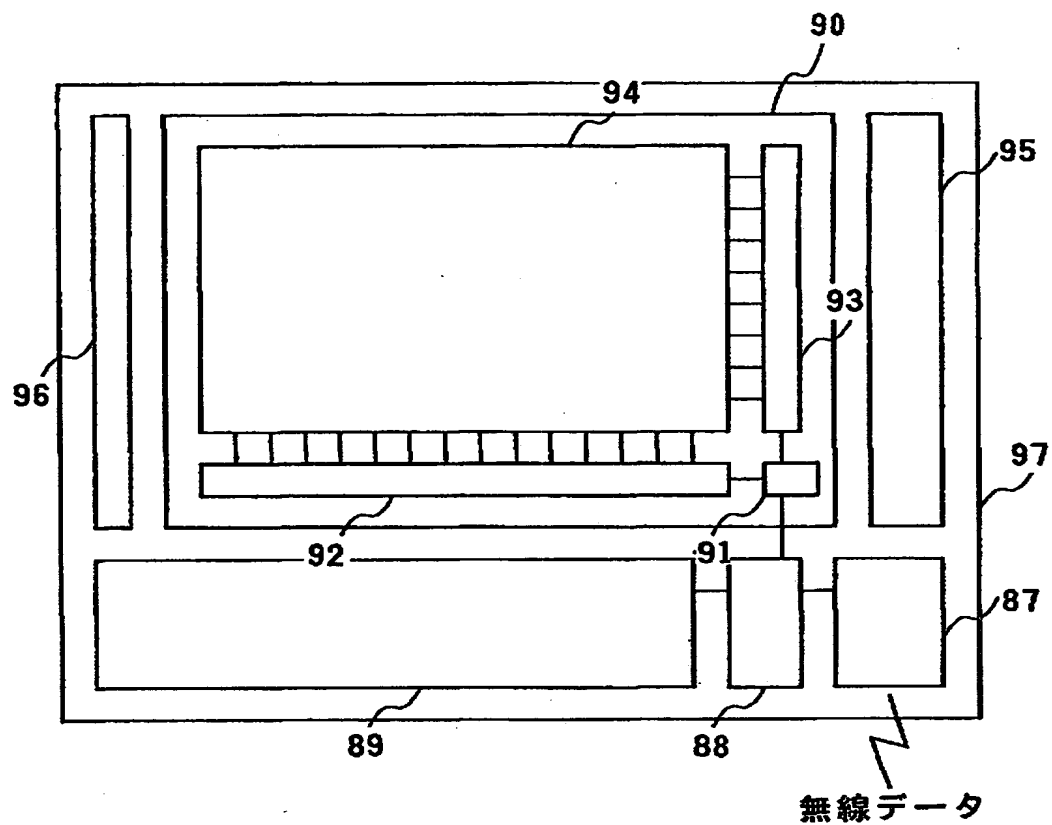
【図 1 7】

図 17



【図 18】

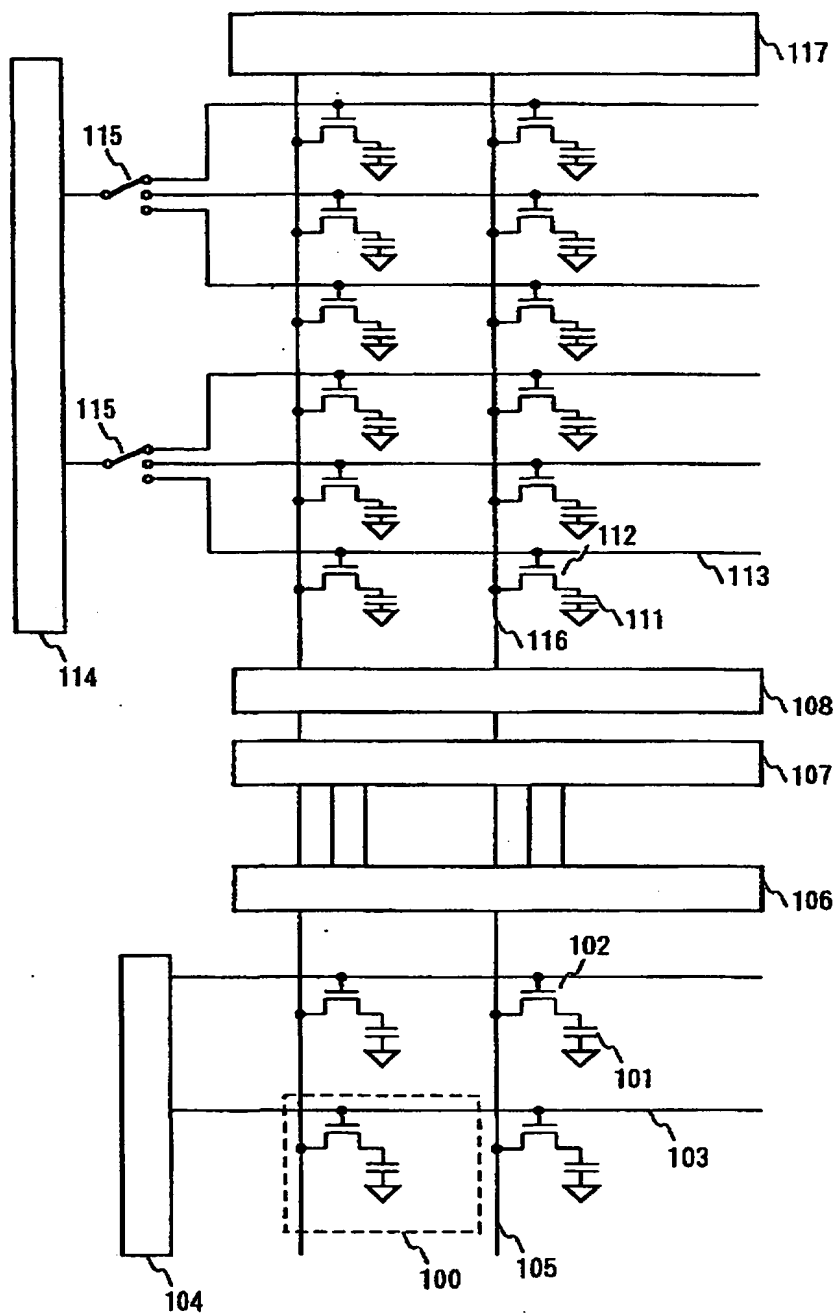
図 18





【図 19】

図 19



【書類名】 要約書

【要約】

【課題】

画像データの記憶機能を有する画像表示装置に対して、更なる低電力化を図ること。

【解決手段】

上記課題は、個々のDRAMメモリセルに増幅用FETを設けることによって解決することができる。

【選択図】 図1

特 2000-274992

認定・付加情報

特許出願の番号	特願2000-274992
受付番号	50005045483
書類名	特許願
担当官	第四担当上席 0093
作成日	平成12年 9月 7日

<認定情報・付加情報>

【提出日】	平成12年 9月 6日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所